

(19)日本国特許庁 (J P)

(12) 特 許 公 報 (B 2)

(11)特許番号

第2505652号

(45)発行日 平成8年(1996)6月12日

(24)登録日 平成8年(1996)4月2日

(51)Int.Cl.⁵

H 0 1 L 29/74

識別記号

庁内整理番号

F I

H 0 1 L 29/74

技術表示箇所

N

D

F

請求項の数11(全 5 頁)

(21)出願番号 特願平2-507827

(86) (22)出願日 平成2年(1990)5月14日

(65)公表番号 特表平5-505060

(43)公表日 平成5年(1993)7月29日

(86)国際出願番号 P C T / U S 9 0 / 0 2 6 1 0

(87)国際公開番号 W O 9 0 / 1 4 6 9 1

(87)国際公開日 平成2年(1990)11月29日

(31)優先権主張番号 8 9 1 1 3 6 0 . 9

(32)優先日 1989年5月17日

(33)優先権主張国 イギリス (G B)

(31)優先権主張番号 5 1 6 , 4 9 8

(32)優先日 1990年5月4日

(33)優先権主張国 米国 (U S)

(73)特許権者 999999999

デイビッド サーフ リサーチ セン
ター, インコーポレイテッド
アメリカ合衆国 ニュージャージー
08540 プリンストン ワシントン ロ
ード 201

(73)特許権者 999999999

シャープ株式会社
大阪府大阪市阿倍野区長池町22番22号

(72)発明者
アベリー, レスリー ロナルド
アメリカ合衆国 ニュージャージー
08822 ハンタードン, フレミングトン,
キングウッド-ロックタウン ロード
565

(74)代理人 弁理士 山本 秀策

審査官 大日方 和幸

最終頁に続く

(54)【発明の名称】 低トリガ電圧SCR保護装置及び構造

1

(57)【特許請求の範囲】

【請求項1】表面を有する第1の導電型の半導体基板、
該基板内の該表面にあり、該基板との境界を有する第2
の導電型である第1の領域、
該第1の領域の範囲内であって該基板表面にある該第2
の導電型の第2の領域、
該基板表面の該第1の領域の範囲内にあり、該第2の領
域に近接する該第1の導電型の第3の領域、
該基板表面の該第1の領域内及び該基板との境界を横切
って該基板内にまで広がっており、該第1の領域よりも
高導電度の第4の領域、
該基板内の該表面にあり、該第1の領域から離隔されて
いる該第2の導電型の第5の領域、
該基板内の該表面にあり、該第1の領域から離隔されて
いる該第1の導電型の第6の領域、

2

該第2及び第3の領域の両方に電氣的に接触している第
1の端子、並びに
該第5及び第6の領域の両方に電氣的に接触している第
2の端子、を備えており、
該基板、該第1の領域及び該第5の領域は1つの導電型
の第1のバイポーラトランジスタを形成し、該基板、該
第1の領域及び該第3の領域は第1のバイポーラトラン
ジスタと接続されてSCRを形成する逆導電型の第2のバ
イポーラトランジスタを形成し、
該第3及び第4の領域は、該基板表面に沿ってある間隙
を介して離隔されて配置されて、電界効果素子のソース
及びドレイン領域を形成しており、
該第4の領域のドーピングレベルの制御によって、該第
4の領域と該半導体基板との間の破壊電圧が該第1の領
域と該半導体基板との間の破壊電圧よりも低く設定され

3

ており、
該第3及び第4の領域の間の導電度を制御するためのバイアス電圧が印加される制御ゲート手段が、該第3及び第4の領域間の間隙の上の該基板上に、該基板表面から絶縁されて設けられていて、該制御ゲート手段への該バイアス電圧の制御によって該SCRのトリガ電圧がさらに制御される、
SCR保護装置。

【請求項2】請求項1に記載の装置であって、前記第6の領域は前記第5の領域と隣接している、装置。

【請求項3】請求項1に記載の装置であって、前記第4の領域は前記第1の導電型である、装置。

【請求項4】請求項1に記載の装置であって、前記第4の領域は前記第2の導電型である、装置。

【請求項5】基準電位供給源に接続された第1の端子及び第2の端子を有する集積回路、

それぞれが該端子の1つと接続されている第1及び第2の電極を有するSCR保護装置、

を備えている構造であって、
該保護装置は、

表面を有する第1の導電型の半導体基板、

該基板内の該表面にあり、該基板との境界を有する第2の導電型である第1の領域、

該第1の領域の範囲内の該基板表面にある該第2の導電型の第2の領域、

該第1の領域の範囲内の該基板表面にあり、該第2の領域に近接する該第1の導電型の第3の領域、

該第1の領域内及び該基板との境界を横切って該基板内にまで広がっており、該第1の領域よりも高導電度の第4の領域、

該第1の領域の境界の外側であり該基板内の該表面にある該第2の導電型の第5の領域、

該第1の領域の境界の外側であり該基板内の該表面にある該第1の導電型の第6の領域、を備えており、並びに該第1の端子は該第2及び第3の領域と電気的に接触し、該第2の端子は該第5及び第6の領域と電気的に接触しており、

該基板、該第1の領域及び該第5の領域は1つの導電型の第1のバイポーラトランジスタを形成し、該基板、該第1の領域及び該第3の領域は第1のバイポーラトランジスタと接続されてSCRを形成する逆導電型の第2のバイポーラトランジスタを形成し、

該第3及び第4の領域は、該基板表面に沿ってある間隙を介して離隔されて配置されて、電界効果素子のソース及びドレイン領域を形成しており、

該第4の領域のドーピングレベルの制御によって、該第4の領域と該半導体基板との間の破壊電圧が該第1の領域と該半導体基板との間の破壊電圧よりも低く設定されており、

該第3及び第4の領域の間の導電度を制御するためのバ

4

イアス電圧が印加される制御ゲート手段が、該第3及び第4の領域間の間隙の上の該基板上に、該基板表面から絶縁されて設けられていて、該制御ゲート手段への該バイアス電圧の制御によって該SCRのトリガ電圧がさらに制御される、
構造。

【請求項6】請求項5に記載の構造であって、前記第6の領域は前記第5の領域と隣接している、構造。

【請求項7】請求項5に記載の構造であって、前記第4の領域は前記第1の導電型である、構造。

【請求項8】請求項5に記載の構造であって、前記第4の領域は前記第2の導電型である、構造。

【請求項9】請求項5に記載の構造であって、前記第2の端子は前記集積回路の入力信号端子である、構造。

【請求項10】請求項5に記載の構造であって、前記第2の端子は前記集積回路の出力信号端子である、構造。

【請求項11】請求項5に記載の構造であって、前記第2の端子は前記集積回路の電圧供給端子である、構造。

【発明の詳細な説明】

産業上の利用分野

本発明の分野は、一般的に集積回路の保護装置に関し、特に低トリガ電圧保護装置に関する。

発明の背景

バイポーラトランジスタ、電界効果素子、及び集積回路を含む半導体装置を過渡電圧及び電流による損傷から保護するために、従来技術において多くの試みがなされてきた。一般に、そのような保護装置は、内部過渡保護のために集積回路チップ上に組み込まれたダイオード又はトランジスタ回路の形をとっている。それにもかかわらず、設計技術者は保護装置を形成するためには貴重なチップスペースを用いなくてはならないという問題に直面している。特に、多数のピンを有する装置上では、保護装置が大きなスペースを占めているので、チップが望ましくないほど大きくなり得ることが分かっている。

シリコン制御整流素子（SCR）配置を有利に用いている保護回路は、例えば、Averyの米国特許第4,484,561号、Kokadoらの米国特許第4,631,657号、及びAveryの米国特許第4,633,283号から公知である。

集積回路の保護に用いられる典型的なSCR配置において、準静的条件下でのトリガ又は点弧電圧はおおよそ25ボルトから40ボルトである。しかしながら、実際には、パルス条件が典型的に支配しており、プラズマを形成するための時間によって実際のトリガ電圧は一般には、より高くなっている。そのようなSCR配置がVLSIチップ上のESD保護回路の一部として用いられる場合、「スナッパバック」SCR導電状態が形成される前に、つまり、SCRが「ショートされた」状態に達する前に、チップの他の部分への損傷が起り得る。従って、SCRのために低トリガ電圧を達成することが望ましい。

発明の要旨

5

本発明の1つの実施態様によれば、保護装置は、第1及び第2の端子、第1の導電型の基板、基板内の第2の導電型である第1の領域、第1の領域内の第2の導電型である第2の領域、第1の領域内であって第2の領域に隣接する第1の導電型の第3の領域、第1の領域内及びその境界を越えて広がっている第4の領域、第2の導電型であって該第1の領域から離隔されている第5の領域、及び第1の導電型であって該第1の領域から離隔されている第6の領域、を備えている。

本発明の他の実施態様によれば、保護装置の第1の端子は第2及び第3の領域と電気的に接触しており、第2の端子は第5及び第6の領域と電気的に接触している。

本発明のさらに他の実施態様によると、第3及び第4の領域は離隔されて電界効果素子のソース及びドレイン領域を形成し、該第3及び第4の領域間の導電度を制御するために、該第3及び第4の領域の間の領域上には制御ゲート手段が配されている。

図面の簡単な説明

図面において、同一の構成要素には同一の参照番号が付けられ、及び

図1は、本発明の実施態様の異尺の断面図を示し、

図2は、図1の実施態様に対応する等価回路の概略を示し、

図3及び図4は、本発明の他の実施態様の異尺の断面図を示している。

図5は、保護される集積回路と共に本発明の保護回路を示す概略回路図である。

発明の詳細な説明

図1には、典型的な集積回路プロセス技術に適合する本発明の実施態様が示されている。図1において、基板10は、表面11を有するシリコン等のP-導電型半導体材料からなる。それは典型的には比較的低濃度 $10^{13}/\text{cc}$ でドーパされ、比較的低導電度を有している。同様に比較的低濃度でドーパされ比較的低導電度を有するN-導電型の領域12が基板10内の表面11に形成されている。この領域は通常「ウエル」と称され、この場合ではN-ウエルと称される。

N-ウエル12の範囲内の表面11の近傍には、比較的高濃度にドーパされた（典型的には $10^{18}/\text{cc}$ ）N⁺導電型の領域14、及び比較的高濃度にドーパされたP⁺導電型の領域16が形成されており、どちらも比較的高導電度を有している。領域14及び16は完全にN-ウエル12の境界内に形成されており、好ましくは互いに隣接している。

他の領域18が、一部はN-ウエル12に、一部は基板10に形成されている。つまり、N-ウエル12の境界を通して基板10にまで広がっている。他の領域18はN⁺又はP⁺導電型のいずれかとすることができる。

基板10の範囲内の表面11にはまた、比較的高濃度にドーパされたN⁺導電型の領域20及び比較的高濃度にドーパされたP⁺導電型の領域22が形成されている。領域22は領

6

域20に隣接していることが好ましい。領域20及び22は比較的高導電度を有しており、N-ウエル12の境界の完全に外側に形成される。

基板10の及びその範囲内に形成された領域の表面11は、二酸化シリコンであり得、典型的には厚さ約0.5マイクロメートルである絶縁層24によって覆われている。コンタクトのために複数の開口部が層24を貫通して設けられている。アルミニウム、モリブデン、シリサイド又はポリシリコンであり得る第1の導電層26が、領域14及び16の各々に接触している。第2の導電層28は領域20及び22の各々に接触している。一例として、導電層26はここで端子30と接続されており、導電層28は端子32に接続されている。例えば、図5は1つの可能な配置を示しており、この配置において集積回路41は第1の端子43及び第2の端子45の間に接続されている。この実施例において、端子43は第1の極性の電圧VDDの供給端子であり、端子45は基準電圧VSS、典型的にはグラウンド電位の供給端子として示されている。しかしながら、端子43は供給端子というよりもむしろ信号端子であり得る。図5において保護回路47は端子43及び45の間に接続されている、つまり、集積回路41と並列に接続されている。従って、保護回路47は、過渡電圧に反応してオンし過渡エネルギーを基準電位供給源、本実施例においてはグラウンドに導くことによって、集積回路41を保護する。

動作において、図1の配置は、あるトリガ電圧に達する又はそれを越えた場合に保護を行う「SCR型」作用を有する保護装置として機能する。これが起こった場合、低抵抗経路が端子30及び32の間に設けられ、あらゆる電圧の偏位（excursion）を制限する。図1の保護回路の動作を理解するために図2の等価回路を考慮することは有用である。説明は、領域18が存在しない動作を先ず説明することによって簡単になる。

図1及び図2では、N-ウエル12（図1に示される）はPNPトランジスタQ1のベース電極を形成し、P⁺領域16はそのエミッタを形成しており、端子30に接続されている。P-基板10はトランジスタQ1のコレクタを形成する。トランジスタQ1のエミッタ及びベース電極間に接続されている抵抗R1は、実質的には、領域14とN⁺領域20に最も近いN-ウエル12の端との間のN-ウエル12の一部によって形成される。

NPNトランジスタQ2のエミッタはN⁺領域20によって形成される。そのベースはP-基板10により形成され、そのコレクタはN-ウエル12によって形成される。エミッターベース分路抵抗R2は、実質的には、N-ウエル12の端とP⁺領域22との間の領域によって形成される。Q1及びQ2の配置はそれを越えると導電状態にトリガされる閾値レベルを有するSCRを形成し、その結果「スナップバック」電圧—電流特性が示される。抵抗R1及びR2の実効値は、それより低いとSCRが「アンラッチ」し及び導電状態を実質的に止める「保持電流」の値に主として影響を与え

7

る。

導電状態が開始されるトリガ電圧は、SCRの構成領域間の破壊電圧 (breakdown voltage) によって決定される。領域18がない場合、N-ウェル12及びP-基板10の間の破壊電圧を越える時にSCRのトリガが起こる。図3において、この破壊はNPNトランジスタQ2のPNPトランジスタQ1のベース及びコレクタ電極間の接合で起こる。典型的なCMOS工程において、破壊電圧は約25ボルトと40ボルトとの間であるが、前述したように、完全な導電状態を提供するプラズマを形成するためにかかる時間は、典型的な過渡静電気放電において現れる短いパルス期間に、より高い有効な「スナップバック」トリガ電圧を引き起こす。

図1及び図2において、領域18のより高濃度のドーピングレベルによって、P⁺領域18とN-ウェル12との間の破壊電圧はP-基板10とN-ウェル12との間の破壊電圧よりも低くなる。実際には、基板10よりもむしろP⁺領域18がPNPトランジスタQ1のコレクタ電極を形成する。従って、低破壊電圧が制御することによって、SCRのためのより低い「スナップバック」トリガ電圧が達成される。トリガ電圧の実際の値は、P⁺領域16とP⁺領域18との間の様々な間隔を選択することによって、ある程度制御され得る。

図4において、他の領域18' は比較的高濃度にドーピングされたN導電型材料 (N⁺) からなる。N⁺領域18と基板10*

8

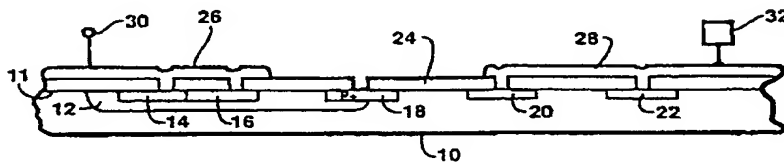
*との間の破壊電圧はN-ウェル12と基板10との間の破壊電圧よりも低い。その結果、SCRのためのトリガ電圧はこのようにして低くされる。

図3では、ゲート電極が領域16及び18の間のN-ウェル12の部分の上に配されている。ゲート電極が適当にバイアスされている場合、導通チャネルが領域16及び18の間に形成される。これはPNPトランジスタQ1のエミッタコレクタ経路における導通状態と等しいので、SCRのためにより低いトリガ電圧となる。ゲートを基準電位に維持することにより、導電層26上の正の過渡電位の結果として適当なバイアスが生じ得る。

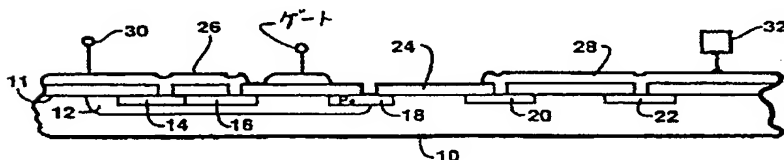
本発明の装置は、境界規定のための標準的なフォトリソグラフィ及びエッチングステップ、及びドーピングされた領域を形成するためのイオン注入を用いて製造されることができる。典型的には、シリコン基板が、例えば、P型ドーパントとしてのホウ素及びN型ドーパントとしてのリンと共に用いられるが、他の適当な材料が用いられることも可能である。

本発明の各種実施態様の修正を当業者が思い付くことがあり得る。例えば、例示的な実施態様では特定の導電型を用いて説明がなされたが、相対的な導電型が同じである限り逆の導電型も用いられ得る。そのような或いは類似した修正は本発明及び添付の特許請求の範囲の精神及び範囲内である。

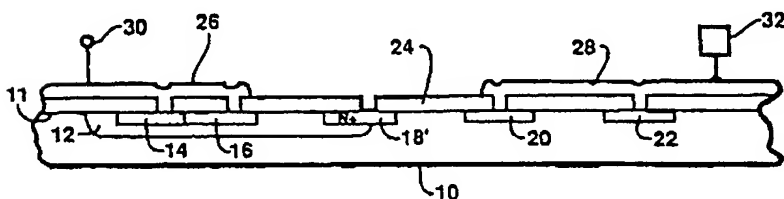
【第1図】



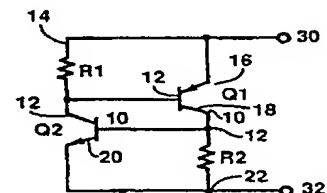
【第3図】



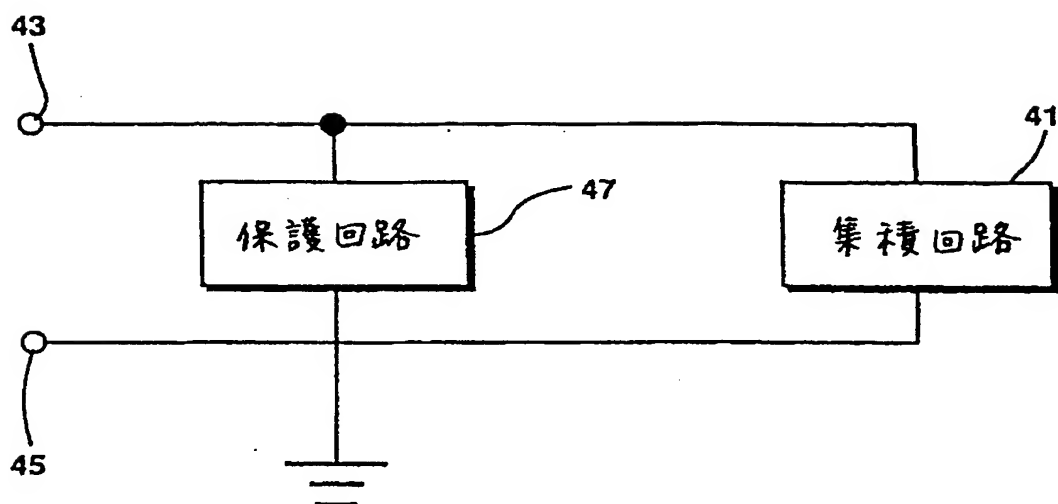
【第4図】



【第2図】



【第5図】



フロントページの続き

(56) 参考文献 特開 昭50-8486 (JP, A)
米国特許4327368 (US, A)